

**Family list****3** family members for:**JP2000252470**

Derived from 3 applications.

- 1 SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF**  
Publication Info: **JP2000252470 A** - 2000-09-14
- 2 SEMICONDUCTOR DEVICE AND METHOD THEREOF**  
Publication Info: **KR2000058064 A** - 2000-09-25
- 3 Semiconductor device and method for producing same**  
Publication Info: **US6342717 B1** - 2002-01-29

Data supplied from the *esp@cenet* database - Worldwide

## SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

Patent number: JP2000252470

Publication date: 2000-09-14

Inventor: KOMATSU YUJI

Applicant: SONY CORP

Classification:

- International: H01L21/8234; H01L21/84; H01L27/088; H01L27/12;  
H01L29/49; H01L29/786; H01L21/70; H01L27/085; H01L27/12;  
H01L29/40; H01L29/66; (IPC1-7): H01L29/786; H01L21/336;  
H01L21/8234; H01L27/08; H01L27/088

- european: H01L21/8234G; H01L21/8234J; H01L21/84; H01L27/088;  
H01L27/12B; H01L29/49B; H01L29/786D

Application number: JP19990048960 19990225

Priority number(s): JP19990048960 19990225

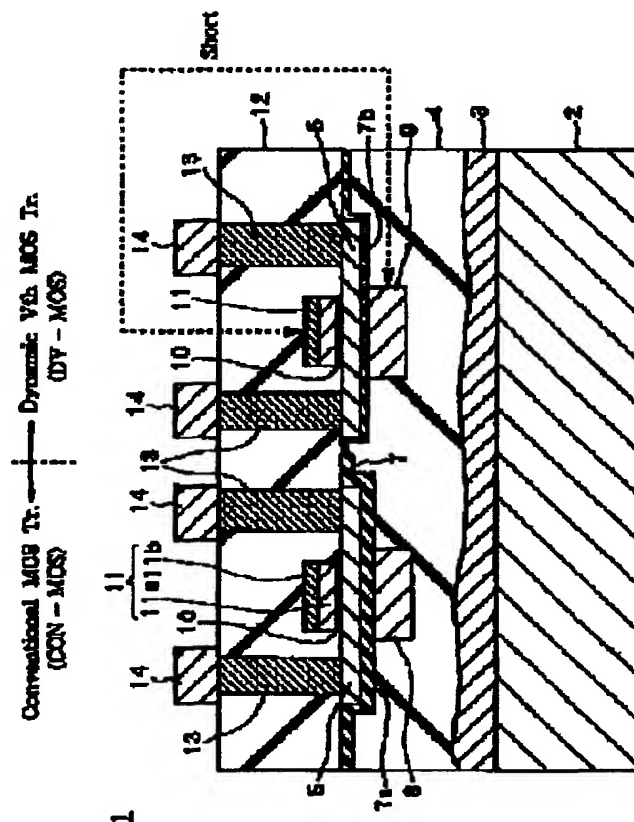
Also published as:

US6342717 (B)

Report a data error here

### Abstract of JP2000252470

**PROBLEM TO BE SOLVED:** To improve characteristics in an integrated circuit having mixed transistors, including Dynamic Vth MOS(DV-MOS), with different operation modes. **SOLUTION:** A semiconductor device is composed of a plurality of insulated gate field-effect transistors that include semiconductor active layers 5 and 6 formed in an insulating layer 3 on a substrate 2, rear-face gate electrodes 8 and 9 located opposite on a side face of the substrate 2 with a rear-face gate insulating film 7 in between, and a front-face gate electrode 11 on an opposite side to the semiconductor active layers 5 and 6 with an front-face gate insulating film 10 in between. The insulated gate field-effect transistors include a first insulated gate field-effect transistor (CON-MOS) in which the rear-face gate electrode 8 and the front-face gate electrode 11 are separated in an insulated state, and a second insulated gate field-effect transistor (DV-MOS) in which the rear-face gate electrode 9 and the front-face gate electrode 11 are joined electrically. In this case, the rear-face insulating film 7b of the DV-MOS is made thinner than the rear-face gate insulating film 7a of the CON-MOS.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

# (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-252470

(P 2 0 0 0 - 2 5 2 4 7 0 A)

(43) 公開日 平成12年9月14日 (2000. 9. 14)

(51) Int. Cl. <sup>7</sup>	識別記号	F I	テームコード (参考)
H01L 29/786		H01L 29/78	617 N 5F048
21/8234		27/08	331 E 5F110
27/088			102 A
27/08	331	29/78	613 A
21/336			627 D

審査請求 未請求 請求項の数11 O L (全11頁)

(21) 出願番号 特願平11-48960

(22) 出願日 平成11年2月25日 (1999. 2. 25)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 小松 裕司

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 100094053

弁理士 佐藤 隆久

Fターム(参考) 5F048 AC04 BA16 BB02 BB06 BB07

BB08 BB16 BC06 BG05

5F110 AA06 AA08 AA09 AA30 BB04

DD02 DD05 DD21 EE05 EE09

EE30 FF02 FF23 HM15 NN02

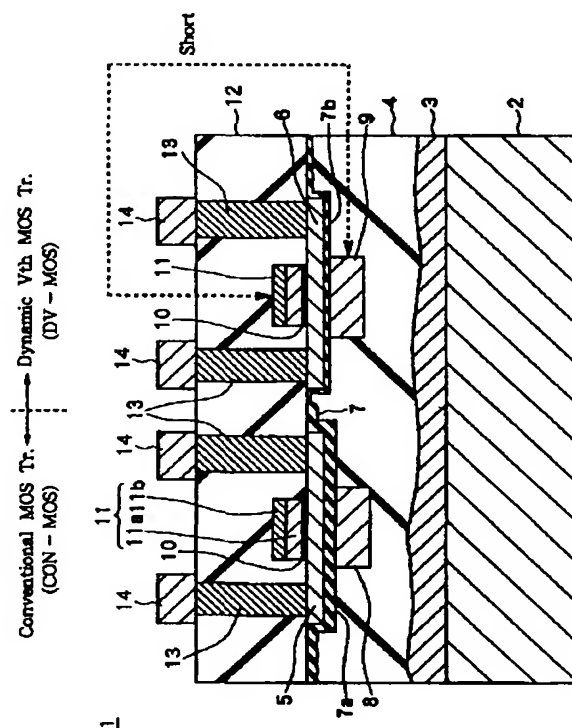
QQ12 QQ17 QQ30

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 Dynamic Vth MOS (DV-MOS) を含む、動作モードが異なるトランジスタが混在する集積回路の特性を向上させる。

【解決手段】 基板2上の絶縁層3内に形成された半導体活性層5、6と、その基板側面に裏面ゲート絶縁膜7を介して対向する裏面ゲート電極8、9と、半導体活性層の反対側面に表面ゲート絶縁膜10を介して対向する表面ゲート電極11とをそれぞれ備えた、複数の絶縁ゲート電界効果トランジスタを有する。この複数の絶縁ゲート電界効果トランジスタは、裏面ゲート電極8および表面ゲート電極11が絶縁分離された第1絶縁ゲート電界効果トランジスタ (CON-MOS) と、裏面ゲート電極9および表面ゲート電極11が電気的に接続された第2絶縁ゲート電界効果トランジスタ (DV-MOS) とを含む。DV-MOSの裏面ゲート絶縁膜7bが、CON-MOSの裏面ゲート絶縁膜7aより薄い。



## 【特許請求の範囲】

【請求項 1】基板上の絶縁層内に形成された半導体活性層と、当該半導体活性層の基板側の面に裏面ゲート絶縁膜を介して対向する裏面ゲート電極と、上記半導体活性層の上記裏面ゲート電極と反対側の面に表面ゲート絶縁膜を介して対向する表面ゲート電極とをそれぞれ備えた、複数の絶縁ゲート電界効果トランジスタを有する半導体装置であって、

上記複数の絶縁ゲート電界効果トランジスタは、上記裏面ゲート電極および上記表面ゲート電極が絶縁分離された第 1 絶縁ゲート電界効果トランジスタと、

上記裏面ゲート電極および上記表面ゲート電極が電氣的に接続された第 2 絶縁ゲート電界効果トランジスタとを含み、

上記第 2 絶縁ゲート電界効果トランジスタの裏面ゲート絶縁膜が、上記第 1 絶縁ゲート電界効果トランジスタの裏面ゲート絶縁膜より薄く設定されている半導体装置。

【請求項 2】上記第 1 絶縁ゲート電界効果トランジスタは、その裏面ゲート電極が所定電圧の供給線に接続され、表面ゲート電極が信号入力線に接続され、

上記第 2 絶縁ゲート電界効果トランジスタは、その裏面ゲート電極と表面ゲート電極が共に信号入力線に接続されている請求項 1 に記載の半導体装置。

【請求項 3】上記複数の絶縁ゲート電界効果トランジスタの裏面ゲート電極に、導電型が互いに異なる 2 種類の裏面ゲート電極を含み、

上記 2 種類の裏面ゲート電極のうち一方の裏面ゲート電極に接する裏面ゲート絶縁膜が、他方の裏面ゲート電極に接する裏面ゲート絶縁膜より薄く設定されている請求項 1 に記載の半導体装置。

【請求項 4】隣接する上記裏面ゲート絶縁膜が相対的に厚い他方の裏面ゲート電極は、ホウ素を不純物として含む半導体材料からなる請求項 3 に記載の半導体装置。

【請求項 5】基板上の絶縁層内に形成された半導体活性層と、当該半導体活性層の基板側の面に裏面ゲート絶縁膜を介して対向する裏面ゲート電極と、上記半導体活性層の上記裏面ゲート電極と反対側の面に表面ゲート絶縁膜を介して対向する表面ゲート電極とをそれぞれ備えた、複数の絶縁ゲート電界効果トランジスタを有する半導体装置であって、

上記複数の絶縁ゲート電界効果トランジスタは、所定電圧の供給線に裏面ゲート電極が接続され、信号入力線に表面ゲート電極が接続された第 1 絶縁ゲート電界効果トランジスタと、

印加電圧値を導通時と非導通時で切り換えるバイアス切回路に裏面ゲート電極が接続され、信号入力線に表面ゲート電極が接続されている第 2 絶縁ゲート電界効果トランジスタとを含み、

上記第 2 絶縁ゲート電界効果トランジスタの裏面ゲート絶縁膜が、上記第 1 絶縁ゲート電界効果トランジスタの

裏面ゲート絶縁膜より薄く設定されている半導体装置。

【請求項 6】被研磨基板上に裏面ゲート電極を絶縁層内に埋め込んで形成する工程と、上記被研磨基板上に上記絶縁層側から支持基板と張り合わせる工程と、上記被研磨基板を裏面から研削および／または研磨して薄膜化し半導体活性層を形成する工程と、上記半導体活性層の裏面ゲート電極と反対側の面に表面ゲート絶縁膜を介して表面ゲート電極を形成する工程とを含む半導体装置の製造方法において、

上記裏面ゲート電極の形成工程は、被研磨基板上に膜厚が部分的に異なる裏面ゲート絶縁膜を形成する工程と、上記裏面ゲート絶縁膜上に複数の裏面ゲート電極を形成する工程と、

上記複数の裏面ゲート電極の周囲を覆って絶縁膜を堆積させる工程と

を含む半導体装置の製造方法。

【請求項 7】上記裏面ゲート絶縁膜の形成工程は、上記被研磨基板上に第 1 層目の裏面ゲート絶縁膜を成膜する工程と、

上記第 1 層目の裏面ゲート絶縁膜の一部を除去する工程と、

残りの第 1 層目のゲート絶縁膜部分上、および、上記除去により表出した被研磨基板部分上に第 2 層目の裏面ゲート絶縁膜を成膜する工程とを含む請求項 6 に記載の半導体装置の製造方法。

【請求項 8】上記表面ゲート電極の形成工程に、複数の表面ゲート電極の同時形成する際に、特定の表面ゲート電極を、対応する裏面ゲート絶縁膜の膜厚に応じて、対応する裏面ゲート電極と電氣的に接続する工程を含む請求項 6 に記載の半導体装置の製造方法。

【請求項 9】上記裏面ゲート絶縁膜は、膜厚が相対的に厚い第 1 領域と、膜厚が相対的に薄い第 2 領域とを有し、

上記第 2 領域において形成された、上記裏面ゲート電極と上記表面ゲート電極を電氣的に接続する請求項 8 に記載の半導体装置の製造方法。

【請求項 10】上記裏面ゲート絶縁膜は、膜厚が相対的に厚い第 1 領域と、膜厚が相対的に薄い第 2 領域とを有し、

上記複数の裏面ゲート電極を形成する工程では、上記第 1 領域上に p 型の裏面ゲート電極を形成し、上記第 2 領域に n 型の裏面ゲート電極を形成する請求項 6 に記載の半導体装置の製造方法。

【請求項 11】隣接する上記裏面ゲート絶縁膜の第 1 領域上に形成された裏面ゲート電極は、ホウ素を不純物として含む半導体材料からなる請求項 10 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、素子能動領域とな

る半導体活性層がたとえばSOI型の基板分離構造を有し、基板分離用の絶縁層内に裏面ゲート電極が埋め込まれた絶縁ゲート電界効果トランジスタを有する半導体装置およびその製造方法に関する。特定的に、本発明は、裏面ゲート絶縁膜の膜厚を変えることによる半導体装置の特性改善に関する。

#### 【0002】

【従来の技術】SOI (Silicon on Insulator) 構造によって素子間同士の完全分離が容易になり、またソフトエラーやCMOSトランジスタに特有なラッチアップの抑制が可能になることが知られており、比較的早くから500nm程度のシリコン活性層の厚さのSOI構造によって、CMOSトランジスタ・LSIの高速化、高信頼性化の検討が行われてきた。最近、SOIの表面層をさらに100nm程度にまで薄く、またチャンネルの不純物濃度も比較的低い状態に制御して、ほぼシリコン活性層全体が空乏化するような条件にすると、短チャネル効果の抑制やMOSトランジスタの電流駆動能力の向上などさらに優れた性能が得られることがわかってきた。

【0003】このSOI層の形成方法として、近年はSIMOX (Separation by Implanted Oxygen) 法とウエハ張り合わせ法の代表的な2つの方法の完成度が上がりつつあり、注目を浴びている。

【0004】しかしながら、これら2つの方法には、現時点ではそれぞれ一長一短が有る。SIMOX法では、SOI膜厚の均一性が優れている反面、埋込酸化膜との界面の急峻性が悪くトランジスタの動作性能、信頼性等に問題が残る。一方、ウエハ張り合わせ法にて作製したSOI基板は、埋込酸化膜界面の特性は良いが、工程が複雑なうえ、SOI膜を研磨により薄膜化することから研磨の終点検出精度が悪いとSOI膜厚の制御性が問題となる。

【0005】ウエハ張り合わせ法には、SOI層を全面に形成する場合と、SOI層を平面方向で分離し孤立パターンとして形成する場合がある。後者の場合、張り合わせ前の被研磨基板に段差を設け、その凹部に充填された絶縁物の層（平面方向の分離領域）をストップパッドとして研磨の終点検出に用いることができる。

【0006】これらに共通したSOI基板作製のプロセスフローは、おおまかには次の4つのステップからなる。

- (a) 張り合わせ面の平坦化研磨と表面処理
- (b) 張り合わせおよびアニール
- (c) 研削
- (d) 研磨（又は、選択研磨）

【0007】このようにして作製したSOI基板は、埋込絶縁膜の厚さ等を比較的自由に設定できるだけでなく、張り合わせ前に被研磨基板の活性層となる部分上に素子を形成して配線等を行い、これを絶縁膜中に予め埋め込んでおくことにより、活性層の厚み方向両側に素子

を3次的に配置した高い集積度のLSIを作製することが可能となる。また、MOSFETを作製する場合、シリコン活性層の表面側にゲート絶縁膜を介して配置する表面ゲート電極のほかに、第2のゲート電極を絶縁膜中に埋め込んで形成することができる。この絶縁膜埋込型のゲート電極を“裏面ゲート電極”という。表面ゲート電極を信号入力用としたときに、この裏面ゲート電極からの制御によって短チャネル効果を抑制することができ、また、トランジスタの閾値、スイング幅または利得の制御が可能となる。さらに、表面ゲートと裏面ゲートを共に信号入力用に用いて2チャネルモードのトランジスタとしたX-MOS (“Double Gate MOS”ともいう)への応用が可能となる。

【0008】裏面ゲート電極にバイアス電圧を印加する場合、従来、一定電圧を印加する固定バイアス方式のみであったが、近年、この裏面ゲート電極に印加するバイアス電圧を制御して（変化させて）トランジスタ特性を改善する技術が提案され、注目を浴びている。このバイアス印加方式を採用した“Dynamic Vth MOS”と称されるトランジスタでは、その裏面ゲート電極の印加電圧値を入力信号に応じて動的に制御し、トランジスタがオフの時は閾値Vthを相対的に高くしてオフ時のリーク電流を減少させ、またトランジスタがオンの時は閾値Vthを相対的に低くして駆動能力を向上させる。したがって、この“Dynamic Vth”の手法を用いれば、トランジスタの動作速度を低下させずに電源電圧を低減でき、かつスタンバイ時のリーク電流を低減して、当該トランジスタを能動素子に用いた半導体装置の低消費電力化が可能となる。

【0009】図12に、従来構成の半導体装置の要部を断面図で示す。この図12は、動作モードが異なる2つのトランジスタ、即ち“Dynamic Vth MOSトランジスタ”（以下、DV-MOS）と、通常のMOSトランジスタ（以下、CON-MOS）とを示す。

【0010】図12に示す半導体装置100は、支持基板101上に接着層102を介して絶縁層103が形成されている。絶縁層103内の表面側に、CON-MOS用のシリコン活性層104およびDV-MOS用のシリコン活性層105が互いに離れて形成されている。各シリコン活性層104、105には、所定の不純物が比較的低濃度に添加されている。絶縁層102内に、CON-MOS用のシリコン活性層104の下面に裏面ゲート絶縁膜106を介して対向する裏面ゲート電極107と、DV-MOS用のシリコン活性層105の下面に裏面ゲート絶縁膜108を介して対向する裏面ゲート電極109とが、互いに離れて埋め込まれている。各裏面ゲート絶縁膜106、108は、同じ膜厚の酸化シリコン膜からなる。また、各裏面ゲート電極107、109はポリシリコンからなり、それぞれ所定の不純物が比較的高濃度に添加されている。

【0011】シリコン活性層104または105上に、それぞれ表面ゲート絶縁膜110を介してトランジスタのゲート電極111が形成されている。また、シリコン活性層104、105内の表面側に、図示しないがLDD構造のソース・ドレイン不純物領域が形成されている。全面に層間絶縁膜112が堆積され、層間絶縁膜112内を貫いてプラグ113が埋め込まれ、その上に配線層114が形成されている。

【0012】

【発明が解決しようとする課題】ところが、この従来の半導体装置100では、異なる動作モードの2種類の絶縁ゲート電界効果トランジスタ（CON-MOSとDV-MOS）を混在させて集積回路を形成した場合、この回路の電気特性は、各トランジスタの性能を十分に引き出したものにならないという課題があった。これは、上記動作モードが異なる2種類のトランジスタは、特性上それぞれ一長一短があることに起因している。つまり、低電圧動作、低消費電力などのスペック上で見ればDV-MOSがCON-MOSより優れているが、DV-MOSは、通常、裏面ゲート電極と表面ゲート電極を短絡して用いるため、信号入力側からみたゲート容量が大きくなってしまふといった不利益がある。

【0013】たとえば、比較的長い配線、あるいは多くのトランジスタが後段に接続され、これらを同時に駆動する必要があるなど負荷が大きい場合は、ゲート容量の増大は余り問題とならず、むしろDV-MOSの特長

（低電圧動作、低消費電力）が生かされる。しかし、逆に配線が比較的短かったり、後段のトランジスタが数少なく負荷が小さい場合は、ゲート容量の小さいCON-MOSを用いた方が、回路特性が良くなることもある。

【0014】したがって、実際のICを設計する場合には、1つのチップ内で異なる動作モードのトランジスタ（CON-MOSとDV-MOS）を、負荷容量などに応じて適所に配置することによって、回路全体としての特性を向上させることがなされる。ところが、このような設計の最適化を幾ら行っても、現実には、回路全体としての特性が期待したほど向上しないのが実情であった。

【0015】本発明の目的は、裏面ゲート電極への印加電圧を動的に変化させるトランジスタと、裏面ゲート電極への印加電圧が一定のトランジスタとが混在する場合に、当該トランジスタを組み合わせて用いた集積回路の特性を更に向上できる半導体装置と、その製造方法を提供することにある。

【0016】

【課題を解決するための手段】本発明に係る半導体装置は、異なる動作モードのトランジスタ間で、裏面ゲート絶縁膜厚を変えることにより、集積回路の特性向上を図るものである。

【0017】すなわち、本発明に係る半導体装置は、基

板上の絶縁層内に形成された半導体活性層と、当該半導体活性層の基板側の面に裏面ゲート絶縁膜を介して対向する裏面ゲート電極と、上記半導体活性層の上記裏面ゲート電極と反対側の面に表面ゲート絶縁膜を介して対向する表面ゲート電極とをそれぞれ備えた、複数の絶縁ゲート電界効果トランジスタを有する半導体装置であって、上記複数の絶縁ゲート電界効果トランジスタは、上記裏面ゲート電極および上記表面ゲート電極が絶縁分離された第1絶縁ゲート電界効果トランジスタと、上記裏面ゲート電極および上記表面ゲート電極が電氣的に接続された第2絶縁ゲート電界効果トランジスタとを含み、上記第2絶縁ゲート電界効果トランジスタの裏面ゲート絶縁膜が、上記第1絶縁ゲート電界効果トランジスタの裏面ゲート絶縁膜より薄く設定されていることを特徴とする。

【0018】具体的には、たとえば、上記第1絶縁ゲート電界効果トランジスタは、その裏面ゲート電極が所定電圧の供給線に接続され、表面ゲート電極が信号入力線に接続され、上記第2絶縁ゲート電界効果トランジスタは、その裏面ゲート電極と表面ゲート電極が共に信号入力線に接続されている。

【0019】また、本発明に係る半導体装置では、好適には、上記複数の絶縁ゲート電界効果トランジスタの裏面ゲート電極に、導電型が互いに異なる2種類の裏面ゲート電極を含み、上記2種類の裏面ゲート電極のうち一方の裏面ゲート電極に接する裏面ゲート絶縁膜が、他方の裏面ゲート電極に接する裏面ゲート絶縁膜より薄く設定されている。たとえば、隣接する上記裏面ゲート絶縁膜が相対的に厚い他方の裏面ゲート電極は、ホウ素を不純物として含む半導体材料からなる。拡散係数が大きなホウ素が裏面ゲート絶縁膜を突き抜けて半導体活性層に達することを有効に防止するためである。

【0020】本発明に係る他の半導体装置は、基板上の絶縁層内に形成された半導体活性層と、当該半導体活性層の基板側の面に裏面ゲート絶縁膜を介して対向する裏面ゲート電極と、上記半導体活性層の上記裏面ゲート電極と反対側の面に表面ゲート絶縁膜を介して対向する表面ゲート電極とをそれぞれ備えた、複数の絶縁ゲート電界効果トランジスタを有する半導体装置であって、上記複数の絶縁ゲート電界効果トランジスタは、所定電圧の供給線に裏面ゲート電極が接続され、信号入力線に表面ゲート電極が接続された第1絶縁ゲート電界効果トランジスタと、印加電圧値を導通時と非導通時で切り換えるバイアス切替回路に裏面ゲート電極が接続され、信号入力線に表面ゲート電極が接続されている第2絶縁ゲート電界効果トランジスタとを含み、上記第2絶縁ゲート電界効果トランジスタの裏面ゲート絶縁膜が、上記第1絶縁ゲート電界効果トランジスタの裏面ゲート絶縁膜より薄く設定されていることを特徴とする。

【0021】このような構成の半導体装置では、裏面ゲ

ート電極と表面ゲート電極が電氣的に短絡した第2絶縁ゲート電界効果トランジスタが、いわゆる“Dynamic Vth”動作する。つまり、たとえばnチャネル型では、入力信号がローレベルでトランジスタが非導通のときは閾値が相対的に上がりオフ時のリーク電流が低減される一方で、入力信号がハイレベルでトランジスタが導通するときは閾値が相対的に下がり駆動能力が向上する。このような効果を大きくするには、裏面ゲート絶縁膜を薄くして裏面ゲート電極の半導体活性層に対する“制御性”を高めることが有効である。したがって本発明では、第2絶縁ゲート電界効果トランジスタの裏面ゲート絶縁膜が相対的に薄く設定されている。一方、裏面ゲート電極に一定電圧を印加する第1絶縁ゲート電界効果トランジスタでは、裏面ゲート絶縁膜の膜厚が余り薄すぎると、トランジスタのサブスレショルド特性が悪くなり、即ちサブスレショルド電流を1桁変化させるのに要するゲート電圧変化量（サブスレショルド係数）が大きくなり、好ましくない。また、裏面ゲート電極からの不純物の拡散、絶縁特性などの信頼性面を考慮すると、むしろ裏面ゲート絶縁膜は厚いほうが好ましい。したがって、本発明では、第1絶縁ゲート電界効果トランジスタの裏面ゲート絶縁膜が相対的に厚く設定されている。このように、本発明に係る半導体装置では、第1および第2絶縁ゲート電界効果トランジスタ間で、裏面ゲート絶縁膜厚が最適化される結果、当該絶縁ゲート電界効果トランジスタを用いた集積回路の特性が高められる。

【0022】本発明に係る半導体装置の製造方法は、被研磨基板上に裏面ゲート電極を絶縁層中に埋め込んで形成する工程と、上記被研磨基板を上記絶縁層側から支持基板と張り合わせる工程と、上記被研磨基板を裏面から研削および／または研磨して薄膜化し半導体活性層を形成する工程と、上記半導体活性層の裏面ゲート電極と反対側の面に表面ゲート絶縁膜を介して表面ゲート電極を形成する工程とを含む半導体装置の製造方法において、上記裏面ゲート電極の形成工程は、被研磨基板上に膜厚が部分的に異なる裏面ゲート絶縁膜を形成する工程と、上記裏面ゲート絶縁膜上に複数の裏面ゲート電極を形成する工程と、上記複数の裏面ゲート電極の周囲を覆って絶縁膜を堆積させる工程とを含むことを特徴とする。

【0023】上記裏面ゲート絶縁膜の形成工程は、たとえば、上記被研磨基板上に第1層目の裏面ゲート絶縁膜を成膜する工程と、上記第1層目の裏面ゲート絶縁膜の一部を除去する工程と、残りの第1層目のゲート絶縁膜部分上、および、上記除去により表出した被研磨基板部分上に第2層目の裏面ゲート絶縁膜を成膜する工程とを含む。また、好適には、上記表面ゲート電極の形成工程に、複数の表面ゲート電極の同時形成する際に、特定の表面ゲート電極を、対応する裏面ゲート絶縁膜の膜厚に応じて、対応する裏面ゲート電極と電氣的に接続する工程を含む。たとえば、上記裏面ゲート絶縁膜は、膜厚が

相対的に厚い第1領域と、膜厚が相対的に薄い第2領域とを有する場合、上記第2領域において形成された、上記裏面ゲート電極と上記表面ゲート電極を電氣的に接続するとよい。

【0024】好適には、上記裏面ゲート絶縁膜は、膜厚が相対的に厚い第1領域と、膜厚が相対的に薄い第2領域とを有し、上記複数の裏面ゲート電極を形成する工程では、上記第1領域上にp型の裏面ゲート電極を形成し、上記第2領域にn型の裏面ゲート電極を形成するとよい。この場合、隣接する上記裏面ゲート絶縁膜の第1領域上に形成された裏面ゲート電極は、たとえば、ホウ素を不純物として含む半導体材料からなる。拡散係数が大きなホウ素を含む裏面ゲート電極に対応する裏面ゲート絶縁膜を相対的に厚くすることで、ホウ素が裏面ゲート絶縁膜を突き抜けて半導体活性層に拡散することを有効に防止できるからである。

【0025】このような半導体装置の製造方法では、裏面ゲート絶縁膜に膜厚差を設ける工程が、たとえば、リソグラフィとエッチングの組み合わせで達成でき、何ら特別な工程を要しない。

【0026】

【発明の実施の形態】図1は、本発明の実施形態に係る半導体装置の要部を示す断面図である。この図1に示す構造例では、2つの異なる動作モードのMOSトランジスタ、即ち“Dynamic Vth MOSトランジスタ”（以下、DV-MOS）と、通常のMOSトランジスタ（以下、CON-MOS）とを示す。

【0027】図1に示す半導体装置1では、支持基板2上に接着層3を介して絶縁層4が形成されている。支持基板2は、シリコンウエハなどの半導体基板のほか、ガラス基板などであってもよい。支持基板2がシリコンウエハの場合、通常、接着層3としてポリシリコンが用いられ、絶縁層4として酸化シリコン系の絶縁膜が用いられる。

【0028】絶縁層4内の表面側に、CON-MOS用のシリコン活性層5およびDV-MOS用のシリコン活性層6が互いに離れて形成されている。各シリコン活性層5、6は、たとえば、単結晶シリコンからなり、それぞれp型不純物（たとえばホウ素）またはn型不純物（リンまたは砒素）が比較的低濃度に添加されている。

【0029】絶縁層4内に、CON-MOS用のシリコン活性層5の下面に裏面ゲート絶縁膜7aを介して対向する裏面ゲート電極8と、DV-MOS用のシリコン活性層6の下面に裏面ゲート絶縁膜7bを介して対向する裏面ゲート電極9とが、互いに離れて埋め込まれている。

【0030】各裏面ゲート電極8、9は、たとえば、300nm程度の厚みを有し、不純物が添加されたドーパド・ポリシリコン(Doped Poly Silicon)からなる。ここで、CON-MOSの裏面ゲート電極8は、n型チャネ

10

20

30

40

50



ルのMOSトランジスタ(NMOS)の場合、p型不純物が比較的高濃度にドーピングされ、p型チャネルのMOSトランジスタ(PMOS)の場合、n型不純物が比較的高濃度にドーピングされている。一方、DV-MOSの裏面ゲート電極9は、NMOS、PMOSともにn型不純物が比較的高濃度にドーピングされている。

【0031】裏面ゲート絶縁膜7a、7bは、たとえば、酸化シリコンからなる。裏面ゲート絶縁膜7a、7bは互いに分離されていてもよいが、本実施形態では1つの裏面ゲート絶縁膜7の膜厚が異なる2つの領域を示す。本発明では、膜厚がたとえば60nmと相対的に厚いCON-MOS側の裏面ゲート絶縁膜7aを“裏面ゲート絶縁膜7の第1領域”、膜厚がたとえば6nmと相対的に薄いDV-MOS側の裏面ゲート絶縁膜7bを“裏面ゲート絶縁膜7の第2領域”という。

【0032】シリコン活性層5または6上に、それぞれ表面ゲート絶縁膜10(厚さ:4nm)を介してトランジスタのゲート電極11が形成されている。ゲート電極11は、たとえば、チャネルと同じ導電型の不純物が添加された下層のポリシリコン11a(厚さ:100nm)と、WSi<sub>2</sub>などの上層の高融点金属シリサイド11b(厚さ:100nm)とからなる。とくに図示しないが、シリコン活性層5、6内の表面側にLDD構造のソース・ドレイン不純物領域が形成されている。全面に層間絶縁膜12が堆積され、層間絶縁膜12内を貫いてプラグ13が埋め込まれ、その上に配線層14が形成されている。

【0033】このような断面構造の半導体装置1において、CON-MOSは、その裏面ゲート電極8と表面ゲート電極11が絶縁分離され、裏面ゲート電極8が所定のバイアス電圧供給線に接続されているのに対し、表面ゲート電極11が入力信号線に接続されている。その一方、DV-MOSでは、その裏面ゲート電極9と表面ゲート電極11が、図示しない箇所で電気的に接続され、共に入力信号線に接続されている。

【0034】このような構成の半導体装置1において、DV-MOSは、その裏面および表面ゲート電極に入力信号が印加され同相で制御されるため、いわゆる“Dynamic Vth”動作する。つまり、入力信号がローレベルでトランジスタが非導通のときは閾値Vthが相対的に上がりオフ時のリーク電流が低減される一方で、入力信号がハイレベルでトランジスタが導通するときは閾値Vthが相対的に下がって駆動能力が向上する。本実施形態では、このような効果を大きくするために、裏面ゲート絶縁膜7bを6nmと相対的に薄くして裏面ゲート電極9の半導体活性層6に対する“制御性”を高めている。

【0035】一方、裏面ゲート電極8に一定電圧を印加するCON-MOSでは、裏面ゲート絶縁膜7aの膜厚が余り薄すぎると、トランジスタのサブスレショルド特

性が悪くなり、即ちサブスレショルド電流を1桁変化させるのに要するゲート電圧変化量(サブスレショルド係数)が大きくなり、好ましくない。また、裏面ゲート電極8からの不純物(ホウ素)の拡散、裏面ゲートの絶縁特性などの信頼性面を考慮すると、むしろ裏面ゲート絶縁膜7aは厚いほうが好ましい。このような理由から、本実施形態では、CON-MOSの裏面ゲート絶縁膜7aを60nmと相対的に厚く設定している。その結果、サブスレショルド係数を最大でも60mV/Dec.と理想的な値にまで低くすることができた。

【0036】このように、本発明の実施形態に係る半導体装置1では、2つの動作モードが異なるトランジスタ(DV-MOS、CON-MOS)間で裏面ゲート絶縁膜厚が最適化されている。その結果、当該半導体装置1において、2つの動作モードが異なるトランジスタを用いて形成した集積回路の特性向上(低電圧、低消費電力、高駆動能力、低リーク電流)が達成されている。

【0037】この半導体装置1では、上述した動作モードが異なるという理由のほかに、CMOSTランジスタなど、裏面ゲート電極の導電型が異なることを理由として裏面ゲート絶縁膜に膜厚差が設定されている。つまり、CON-MOS同士、或いはDV-MOS同士であっても、たとえば、pチャネルMOSとnチャネルMOSでは裏面ゲート絶縁膜に膜厚差が設定されている。

【0038】図2は、半導体装置1において、CON-MOSによって構成されたCMOSTランジスタ部分を示す断面図である。この図2におけるトランジスタの基本構造は図1と同様であるが、NMOSの裏面ゲート電極8aにp型不純物(ホウ素)が比較的高濃度にドーピングされているのに対し、PMOSの裏面ゲート電極8bにn型不純物(リンまたは砒素)が比較的高濃度にドーピングされている。そして、p'裏面ゲート電極8aに接する裏面ゲート絶縁膜7の領域7cが、n'裏面ゲート電極8bに接する裏面ゲート絶縁膜7の領域7dより厚く設定されている。具体的に、たとえば、裏面ゲート絶縁膜7の領域7dが60nm程度であるのに対し、領域7cは100nm程度となっている。

【0039】一般に、CMOSTランジスタの作製時に、シリコン活性層と絶縁層との界面付近でのチャネル形成を回避して短チャネル効果に強い表面チャネル型のデバイスとするためには、裏面ゲート電極の材料に、仕事関数の関係からNMOSではp'ポリシリコンを、PMOSではn'ポリシリコンを用いる必要がある。つまり、裏面ゲート電極を形成する際に、ポリシリコンに対しp'不純物とn'不純物を打ち分けるデュアルゲートプロセスの採用が不可欠となる。

【0040】ところが、従来のCMOSTランジスタの形成方法では、デュアルゲートプロセスによって裏面ゲート電極となるポリシリコンに不純物を添加した後、基板張り合わせ等の工程において高温、長時間の熱処理が

10

20

30

40

50



なされることから、この熱処理中に、とくに $p'$ ポリシリコン中のホウ素が熱拡散して、裏面ゲート絶縁膜を突き抜けシリコン活性層にまで達することがある。ホウ素は、リンや砒素などの $n$ 型不純物と比較してシリコン中および絶縁膜中の拡散係数が大きいためである。このホウ素のシリコン活性層への熱拡散は、NMOSの閾値のズレを引き起すのみならず、オフ時のリーク電流を増大させ、また、場合によっては部分空乏型のトランジスタができて短チャネル効果に弱くなったり駆動能力低下などの不利益をもたらす。

【0041】図2に示すように、本発明の実施形態に係る半導体装置1では、 $p'$ 裏面ゲート電極8a側(NMOS側)の裏面ゲート絶縁膜領域7cを、 $n'$ 裏面ゲート電極8b側(PMOS側)の裏面ゲート電極領域7dに比べて厚くすることで、上述したホウ素拡散による特性の変動および低下を有効に防止している。同時に、とくにNMOSで $p'$ 裏面ゲート電極が用いることができる結果、裏面ゲート電極8aが零バイアスでバックチャネルの形成が抑制され、短チャネル効果にともなうパンチスルーが起こりにくいといった利益が得られる。

【0042】つぎに、この半導体装置1の製造方法についての一実施形態を図面を参照しながら説明する。図3～図10は、半導体装置1において、裏面ゲート絶縁膜に膜厚差が設けられた2つのトランジスタ部分の例として、DV-MOSとCON-MOSの製造途中の断面図である。

【0043】図3において、たとえばシリコンウエハ等の被研磨基板20を用意し、その上にレジストパターンR1を形成して、これをマスクに被研磨基板20の表面をエッチング(たとえばRIE)することによって、後

でシリコン活性層となる凸部20aを形成する。凸部20aの段差は、たとえば70nm程度とする。

【0044】レジストパターンR1を除去後、図4において、たとえば、熱酸化法によって、被研磨基板20の凸部20aが形成された面の表面に酸化シリコンからなる第1層目の裏面ゲート絶縁膜7<sub>1</sub>を、60nmほど形成する。この熱酸化は、たとえば、常圧の縦型酸化炉を用い、導入ガス $H_2 : O_2 = 1 : 1$ 、炉内温度950℃の条件にて行う。

【0045】図5において、裏面ゲート絶縁膜7<sub>1</sub>上に、CON-MOS部分のみ覆うレジストパターンR2を形成し、これをマスクとしたウェットエッチングによって、DV-MOS部分の裏面ゲート絶縁膜7<sub>1</sub>を除去する。

【0046】レジストパターンR2を除去後、図6において、たとえば、熱酸化法によって、上記工程でウェットエッチングによって表出したDV-MOS部分の基板領域上に、酸化シリコンからなる第2層目の裏面ゲート絶縁膜7<sub>2</sub>を、6nmほど形成する。この熱酸化は、たとえば、常圧の縦型酸化炉を用い、導入ガス $H_2 : O_2$

$= 1 : 1$ 、炉内温度850℃の条件にて行う。この熱酸化ではCON-MOS部分では熱酸化が殆ど進行しない。その結果、膜厚が約60nmほどのCON-MOS部分(図1の領域7a)、および、膜厚が約6nmほどのDV-MOS部分(図1の領域7b)とを有した、膜厚が部分的に異なる裏面ゲート絶縁膜7が完成する。

【0047】図7において、裏面ゲート電極となるポリシリコンを300nmほど堆積(CVD)し、たとえば図示しないレジストパターンをマスクとした異なるイオン種の打ち分けによって、必要な不純物をポリシリコンの所定領域に導入する。その後、図示しない他のレジストパターンをポリシリコン上に形成し、これをマスクとしてポリシリコンをエッチングし、レジストパターンを除去する。これにより、CON-MOS用の裏面ゲート電極8と、DV-MOS用の裏面ゲート電極9とが、裏面ゲート絶縁膜7上に互いに分離して形成される。

【0048】図8において、たとえば、酸化シリコンからなる絶縁層4を比較的厚く堆積して、裏面ゲート電極8、9を埋め込む。また、絶縁層4上に、たとえば、ポリシリコンを堆積し、表面を研磨することにより接着層3を形成する。

【0049】図9において、たとえば、接着層3の平坦化面から被研磨基板20を、予め用意したシリコンウエハなどからなる支持基板2と張り合わせ、熱処理する。このときの熱処理は、たとえば、酸素雰囲気中の電気炉内で1100℃、60minの条件にて行う。

【0050】このようにして形成した張り合わせSOI基板を、被研磨基板20の裏面側から研削し、研磨(CMP)する。CMPでは、被研磨基板20の凸部20a間に裏面ゲート絶縁膜7が表出した時点で、これがストッパとして機能する。したがって、以後は余り研磨が進まないことになり、研磨の終点が検出される。この選択研磨によって、被研磨基板20の凸部20aが互いに分離される。その後、この分離された凸部20aに対し、たとえば図示しないレジストパターンをマスクとした異なるイオン種の打ち分けによって、必要な不純物を凸部20aをなすシリコンに導入する。これにより、図10に示すように、CON-MOSのシリコン活性層5と、DV-MOSのシリコン活性層6とが互いに絶縁分離して形成される。

【0051】その後、図1に示すように、MOSトランジスタを形成する。まず、シリコン活性層5、6の表面を熱酸化して、厚さ4nmの表面ゲート絶縁膜10を形成する。全面にゲート電極となるポリサイド膜を形成し、これをパターンニングしてゲート電極11を形成する。ゲート電極11をマスクとしたイオン注入により、シリコン活性層5、6内の表面にLDD領域(不図示)を形成した後、ゲート電極11の両側にサイドウォール絶縁層(不図示)を形成する。サイドウォール絶縁層およびゲート電極11をマスクとしたイオン注入により、

10

20

30

40

50

シリコン活性層 5, 6 内の表面にソース・ドレイン不純物領域（不図示）を形成する。

【0052】MOSトランジスタを含む全面に、層間絶縁膜 12 を厚く堆積した後、コンタクトホールを開口して、コンタクトホール内にタングステンまたはポリシリコン等からなるプラグ 13 を埋め込む。そして、層間絶縁膜 12 上に配線層 14 を形成して、当該半導体装置 1 の基本構造を完成させる。

【0053】本発明の実施形態に係る半導体装置の製造方法では、裏面ゲート絶縁膜 7 に膜厚差を設ける工程（図 4～図 6）が、たとえば、リソグラフィとエッチングの組み合わせで達成でき、何ら特別な工程を要しない。このため、製造コストが大幅に増加することがない。

【0054】図 11 は、本発明の実施形態の変形例に係る半導体装置の要部断面図である。この変形例では、DVMOS の裏面および表面のゲート電極 9, 11 が直接電氣的に接続されないで、裏面ゲート電極 9 に、たとえば、入力信号から制御信号を生成するバイアス切替回路 30 が接続されている。このため、制御信号は、たとえば、表面ゲート電極 11 に入力される入力信号と同相であるが振幅を大きくすることによって、裏面ゲート電極 9 のシリコン活性層 6 に対する制御性を高めることができる。したがって、本変形例では、それだけ DVMOS における裏面ゲート絶縁膜 7 b の絶対膜厚値を大きくでき、ホウ素がシリコン活性層 6 に熱拡散することを抑制できる利点がある。バイアス切替回路 30 は、たとえば、シリコン活性層 5, 6 と同時に形成された他のシリコン活性層内に形成された集積回路から構成される。

【0055】

【発明の効果】本発明に係る半導体装置およびその製造方法によれば、動作モードの異なるトランジスタについて、それぞれに最適な膜厚の裏面ゲート絶縁膜を有し、その結果、当該動作モードの異なるトランジスタを用いる集積回路の設計の自由度が高まるうえ、集積回路の特性を向上させることができる。具体的には、低電圧、低消費電力、高駆動能力、低リーク電流に優れた半導体装置を実現できる。

【0056】加えて、裏面ゲート電極への導入不純物の種類に応じて裏面ゲート絶縁膜の膜厚を変えているため、拡散係数が大きなホウ素などの半導体活性層への突き抜けを防止して、オフ時のリーク電流発生およびトランジスタの閾値の変動が防止できる。また、半導体活性層を完全空乏化することの利点、たとえば短チャネル効

果（およびパンチスルー）の抑制、電流駆動能力の向上などの利点が損なわれることがない。

【図面の簡単な説明】

【図 1】本発明の実施形態に係る半導体装置の、異なる動作モードのトランジスタ部分を示す断面図である。

【図 2】本発明の実施形態に係る半導体装置の、CMOSトランジスタ部分を示す断面図である。

【図 3】本発明の実施形態に係る半導体装置の製造において、被研磨基板の凸部形成時のエッチング後の断面図である。

【図 4】図 3 に続く、第 1 層目の裏面ゲート絶縁膜の成膜後の断面図である。

【図 5】図 4 に続く、第 1 層目の裏面ゲート絶縁膜の部分的なエッチング後の断面図である。

【図 6】図 5 に続く、第 2 層目の裏面ゲート絶縁膜の成膜後の断面図である。

【図 7】図 6 に続く、裏面ゲート電極形成後の断面図である。

【図 8】図 7 に続く、絶縁層および接着層の成膜、研磨後の断面図である。

【図 9】図 8 に続く、基板張り合わせ後の断面図である。

【図 10】図 9 に続く、被研磨基板の CMP 後の断面図である。

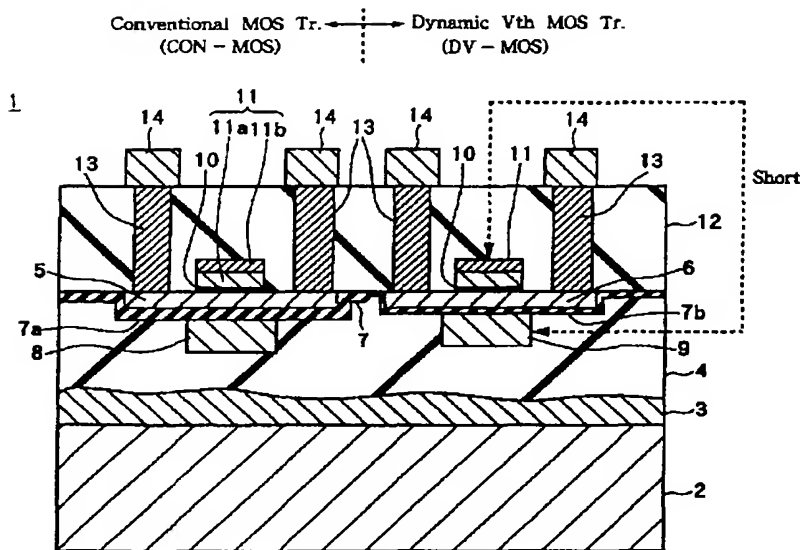
【図 11】本発明の実施形態の変形例に係る半導体装置の、異なる動作モードのトランジスタ部分を示す断面図である。

【図 12】従来構成の半導体装置の、異なる動作モードのトランジスタ部分を示す断面図である。

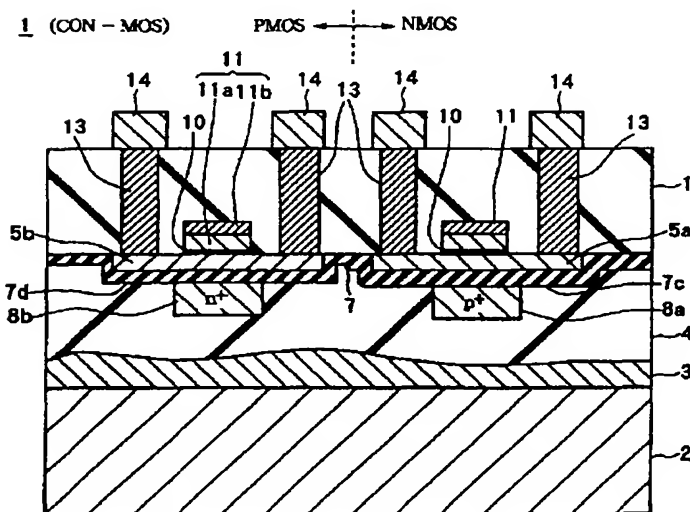
【符号の説明】

1…半導体装置、2…支持基板、3…接着層、4…絶縁層、5, 6…シリコン活性層（半導体活性層）7…裏面ゲート絶縁膜、7a, 7d…第 1 領域、7b, 7c…第 2 領域、7<sub>1</sub>…第 1 層目の裏面ゲート絶縁膜、7<sub>2</sub>…第 2 層目の裏面ゲート絶縁膜、8, 8a, 8b, 9…裏面ゲート電極、10…表面ゲート絶縁膜、11…ゲート電極、11a…ポリシリコン、11b…ポリサイド、12…層間絶縁膜、13…プラグ、14…配線層、20…被研磨基板、20a…凸部、30…バイアス切替回路、CON-MOS…通常動作モードの MOS トランジスタ（第 1 絶縁ゲート電界効果トランジスタ）、DVMOS…Dynamic Vth MOS トランジスタ（第 2 絶縁ゲート電界効果トランジスタ）、R1, R2…レジストパターン。

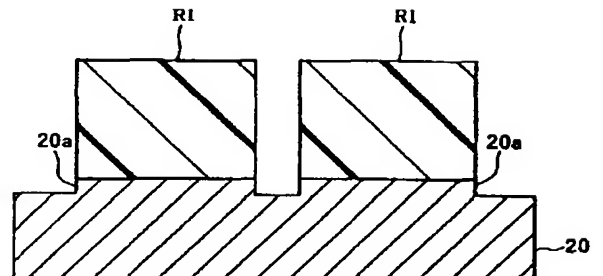
【図 1】



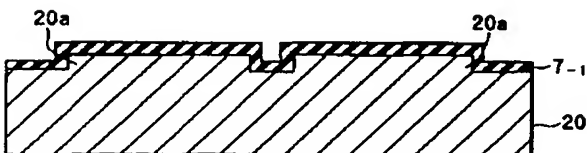
【图 2】



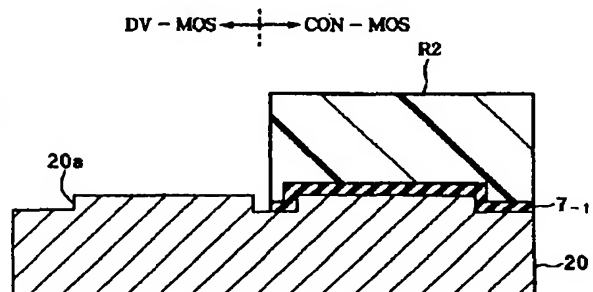
【図 3】



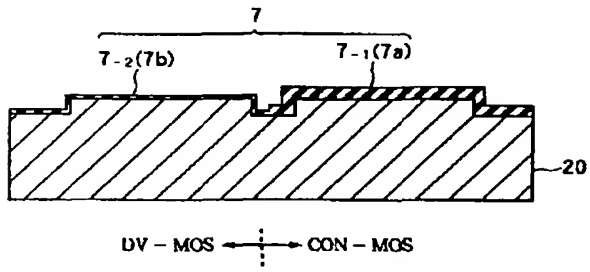
【図4】



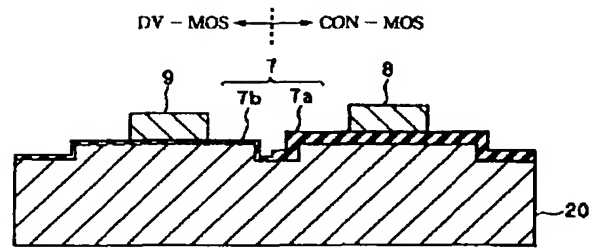
【図 5】



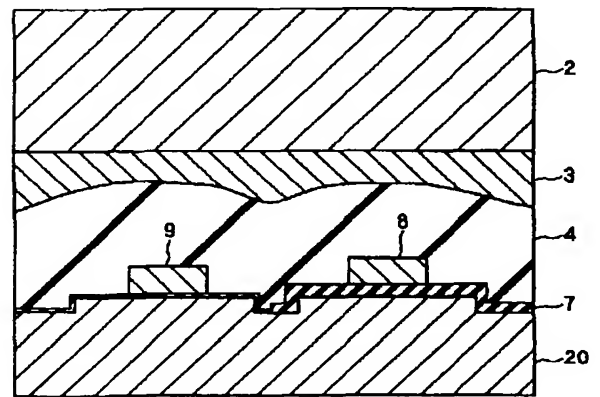
【図 6】



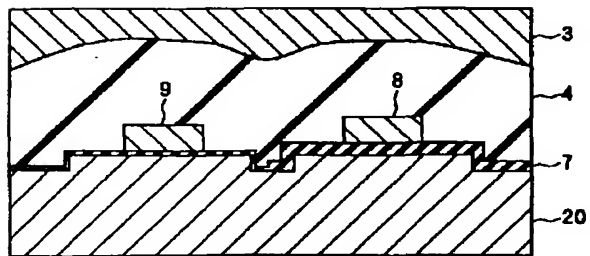
【図 7】



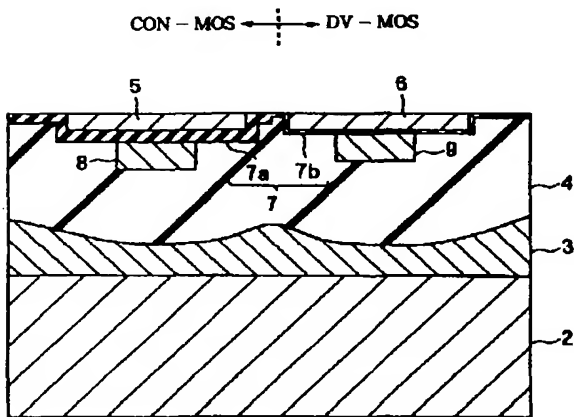
【図 9】



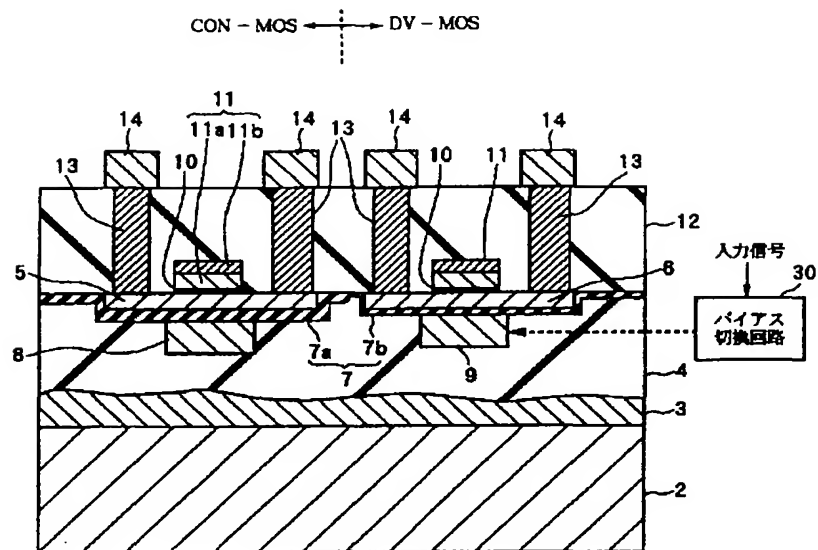
【図 8】



【図 10】



【図 11】



【図 12】

